



PATENT ABSTRACTS OF JAPAN

(11) Publication number: 0724998 A

(43) Date of publication of application: 26 . 09 . 95

(51) Int. Cl.

H03M 13/12
G11B 20/10
G11B 20/18
G11B 20/18
G11B 20/18
H03H 17/00

(21) Application number: 06324274

(22) Date of filing: 27 . 12 . 94

(30) Priority: 28 . 02 . 94 US 94 203413

(71) Applicant:

INTERNATL BUSINESS MACH
CORP <IBM>

(72) Inventor:

COKER JONATHAN D
DOLIVO FRANCOIS B
GALBRAITH RICHARD L
HERMANN RETO J
HIRT WALTER
VANNORSDEL KEVIN

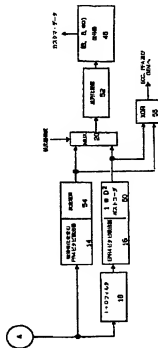
(54) MAXIMUM LIKELIHOOD DATA DETECTION
METHOD AND DEVICE THEREFOR

(57) Abstract:

PURPOSE: To provide an optimum data detection method by setting a channel encoding bit cycle and a run length limit code rate, etc., to specified conditions relating to the detection means of partial response maximum likelihood data or the like in a direct access storage device.

CONSTITUTION: A binary partial response class 4 (PR4) equivalent sample is converted by a digital (1+D) adder or a filter circuit 18 and EP4, 5 level samples are obtained and supplied to an EP4 viterbi detector 16. Signals filtered by a digital filter 44 are supplied to a PR4 viterbi detector 14. Also, they are supplied through an addition circuit 18 to the EP4 viterbi detector 16 as well. The viterbi detectors 14 and 16 are connected to a decoder 46 and a maximum likelihood detection processing in data read-back is completed.

COPYRIGHT: (C)1995,JPO



(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B 2)

(11) 特許番号

第2718424号

(45) 発行日 平成10年(1998) 2月25日

(24) 登録日 平成9年(1997)11月14日

(51) Int.Cl. ⁴	識別記号	序内整理番号	F I	技術表示箇所
H 0 3 M 13/12			H 0 3 M 13/12	
G 1 1 B 20/18	5 2 0		G 1 1 B 20/18	5 2 0 E
	5 3 4			5 3 4 A
	5 7 0			5 7 0 F

請求項の数 5 (全 17 頁)

(21) 出願番号	特願平6-324274	(73) 特許権者	390009531 インターナショナル・ビジネス・マシー ンズ・コーポレーション INTERNATIONAL BUSI NESS MACHINES COR PORATION アメリカ合衆国10504、ニューヨーク州 アーモンク (番地なし)
(22) 出願日	平成6年(1994)12月27日	(72) 発明者	ジョナサン・ダーレル・コッカー アメリカ合衆国55906、ミネソタ州ロチ エスター、フィフス・ストリート・ノー ス・イースト 1605
(65) 公開番号	特開平7-249998	(74) 代理人	弁理士 合田 潔 (外2名)
(43) 公開日	平成7年(1995)9月26日		
(31) 優先権主張番号	2 0 3 4 1 3		
(32) 優先日	1994年2月28日		
(33) 優先権主張国	米国 (US)		
		審査官	稲葉 和生

最終頁に続く

(54) 【発明の名称】 最尤データ検出方法及び装置

1

(51) 【特許請求の範囲】

【請求項1】 デジタル・サンプルを提供するアナログ・デジタル変換器 (ADC) に結合され、アナログ信号を提供するヘッド及びディスク・アセンブリを含むパーシャル・レスポンス (PR) ・データ・チャネルにおける最尤データ検出方法であって、
前記ADCから複数のデジタル・サンプルを受信するステップと、
前記受信デジタル・サンプルをクラス I Vパーシャル・レスポンス (PR4) ・サンプルを提供する第1のフィルタに供給するステップと、
前記第1のフィルタを通過した前記PR4サンプルを拡張クラス I Vパーシャル・レスポンス (EPR4) サンプルを提供する (1+D) デジタル・フィルタである第2のフィルタに供給するステップと、

2

前記第1のフィルタを通過したPR4サンプルを第1のデータ検出器に供給するステップと、
前記第2のフィルタを通過したEPR4サンプルを第2のデータ検出器に供給するステップと、
前記ADCから受信したデジタル・サンプルにตอบสนองして所定のパラメータを識別するステップと、
前記識別された所定のパラメータにตอบสนองして、前記第1及び前記第2のデータ検出器の少なくとも1つを選択するステップと、
を含む、最尤データ検出方法。
【請求項2】 前記第1のフィルタを通過したPR4サンプルを前記第1のデータ検出器に供給する前記ステップが、前記PR4サンプルをPR4ビット検出器に供給するステップを含む、請求項1記載の最尤データ検出方法。

3

【請求項 3】前記第 2 のフィルタを通過した EPR4 サンプルを前記第 2 のデータ検出器に供給する前記ステップが、前記 EPR4 サンプルを EPR4 ビタビ検出器に供給するステップを含む、請求項 2 記載の最尤データ検出方法。

【請求項 4】デジタル・サンプルを提供するアナログ・デジタル変換器 (ADC) に結合され、アナログ信号を提供するヘッド及びディスク・アセンブリを含むデジタル・データ・チャンネルにおけるデータ検出装置であって、

前記 ADC に結合され、前記 ADC から複数のデジタル・サンプルを受信してクラス I V パーシャル・レスポンス (PR4) デジタル・サンプルを与える第 1 のフィルタと、

前記第 1 のフィルタに結合され、前記第 1 のフィルタを通過した PR4 デジタル・サンプルを受信して拡張クラス I V パーシャル・レスポンス (EPR4) デジタル・サンプルを与える第 2 の (1+D) フィルタと、

前記第 1 のフィルタに結合され、前記第 1 のフィルタを通過したデジタル・サンプルを受信するクラス I V パーシャル・レスポンス (PR4) ・ビタビ検出器と、

前記第 2 の (1+D) フィルタに結合され、前記第 2 の (1+D) フィルタを通過したデジタル・サンプルを受信する第 2 のデータ検出器と、

前記 ADC から受信されたデジタル・サンプルにตอบสนองして所定のパラメータを識別する手段と、

前記識別された所定のパラメータにตอบสนองして、前記クラス I V パーシャル・レスポンス (PR4) ・ビタビ検出器及び前記第 2 のデータ検出器の少なくとも 1 つを選択する手段と、

を含むデータ検出装置。

【請求項 5】前記第 2 のデータ検出器が拡張クラス I V パーシャル・レスポンス (EPR4) ・ビタビ検出器である、請求項 4 記載のデータ検出装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は一般にデータ検出方法及び装置に関し、特に、直接アクセス記憶装置 (DASD) におけるパーシャル・レスポンス最尤 (PRML: partial-response maximum-likelihood)、拡張パーシャル・レスポンス最尤 (EPRML: extended partial-response maximum-likelihood)、及びビタビ (Viterbi) ・データ検出に関する。

【0002】

【従来の技術】最尤シーケンス検出技術によるパーシャル・レスポンス信号伝達で、デジタル・データ通信及び記憶アプリケーションにおいて知られている。高データ密度及び高データ・レートは、PRML チャンネルを使用して、ディスク上のデジタル・データを読み書きすることにより達成される。

4

【0003】PRML チャンネルを含む既知の市販のディスク・ドライブは、データ・レートの適切な選択により、最尤シーケンス検出 (MLSD: maximum-likelihood sequence detection) または PRML を有する 2 進パーシャル・レスポンス・クラス 4 (PR4) 信号伝達が、現在使用される線記録密度において、ほとんど最適に近い性能を提供する事実を基礎とする。通常、磁気記録チャンネルは、T をチャンネル符号化ビット周期、R をコード・レート、及び p_{vis} をチャンネルのステップ応答の 50% レベル幅とすると、 $0.8T/R < p_{vis} < 1.6T/R$ で動作する。例えば、 $p_{vis} = (\beta_{vis} / (\pi R)) T$ であり、ここで、 β_{vis} は正規化ユーザ・データ・レートを表し、R は各機構に特有のコード・レートであり、例えば PRML では $R = 8/9$ が有利である。

【0004】デジタル・フィルタ等価を有する PRML における等価フィルタによるノイズ増大に起因する性能損失は、チャンネルが $p_{vis} > 1.6T/R$ などの線記録密度で動作するとき、益々重要となる。結果的に、PRML はより大きな線記録密度において、製品仕様に適合しなくなる。

【0005】主に線密度の増加による領域記憶密度の増加は、競合製品仕様に合わせて、PRML チャンネルの置換またはより有効な機構による補正を必要とする。しかしながら、完全に新規なチャネル・アーキテクチャを開発及び具体化することは、複雑且つ高価な作業であり、今日の費用有効且つ早期市場投入の要求に反することになる。

【0006】米国特許第 4786890 号は、ランレンクス制限コード (RL) を使用するクラス I V PRML チャンネルを開示する。開示されるクラス I V パーシャル・レスポンス・チャンネル多項式は $(1-D^2)$ であり、ここで、D は 1 ビット間隔遅延演算子であり、 D^2 は 2 ビット間隔遅延演算子の遅延であり、チャネル応答出力波形は、入力波形からそれを 2 ビット間隔遅延させた同一の波形を差し引くことにより記述される。8 ビット 2 進データを 9 ビット・コード・シーケンスから成るコードワードに符号化するために、 $(0, k = 3/k1 = 5)$ PRML 変調コードが使用され、ここで、コード・シーケンス内で許可される連続 0 の最大数 k は 3 であり、全ての偶数または全ての奇数シーケンス内の連続 0 の最大数 k1 は 5 である。

【0007】米国特許第 5196849 号は、クラス I V PRML チャンネルにおいて使用される上記最大数 k 及びランレンクス制限を有するレート 8/9 のブロック・コードを開示する。

【0008】トレリス (Trellis) 符号化技術は、ノイズ性のまたは状態の悪いチャンネルにおいて要求される符号化利得を提供するために使用される。米国特許出願第 4888775 号及び同第 4888779 号は、PRML チャンネルにおけるトレリス符号について述べており、こ

5

れはPRMLチャネル上のデジタル・データの伝送において、多大に改善された符号化利得を提供する。

【0009】米国特許第4609907号は、パースナル・レスポンス及びランゲンス制限符号化を用いての帯域幅圧縮の方法を述べている。第1の1-D¹チャネルが、1+Dチャネルと共に刻時データの検出のために使用される。

【0010】拡張(EPR4)等価、タイミング及び利得制御を含む従来のEPRMLチャネル設計は、PRMLチャネルに比較してその複雑度が著しく飛躍する。従来の実施方法では、PRML及びEPRMLは共通の機能ブロックをほとんど共用しない。従来のアプローチは、サイズ、電力及びスピードの点で受入れることができないものと考えられる。EPRMLにおいて、5レベル利得及びタイミング・ループに要求される計算は、より複雑であり低速である。また5レベル・タイミング・グラジエント計算は、PRMLの場合の3レベル計算よりも良好ではないものと思われる。EPRMLは8状態非インタリーフド・ビタビ検出器を必要とし、これは従来方法では、サイズ、能力及びスピードの点で受入れることができない。従って、受入れ可能なサイズ、コスト及び能力を許容するEPRMLを提供することが望まれる。

【0011】線密度増加の実現のために、全ディスク半徑に渡り最適な性能を提供するために、EPRML/P RML組合わせ系を具体化することが望ましい。

【0012】

【発明が解決しようとする課題】本発明の第1の目的は、従来構成の多くの欠点を克服するデータ検出方法及び装置を提供することである。

【0013】

【課題を解決するための手段】本発明の目的及び利点は、デジタル・サンプルを提供するアナログデジタル変換器(ADC)に結合され、アナログ信号を提供するヘッド及びディスク・アセンブリを含む、パースナル・レスポンス(PR)・データ・チャネルにおける最尤デ・チャネル選択と信号解析の関係
チャネル・タイプ コード・レート: R この範囲の最適分析解決
ピーク検出 (1, 7) 2/3
PR4 (PRML) 8/9
R

EPR4 (EPRML) 8/9

【0016】EPRML/P RML組合わせ系は、容量と性能の両方を最大化する新たなアプローチを生成する。ディスクの外径(OD)に向けてPRML検出系を使用し、ディスクの内径(ID)に向けてEPRML系を使用し、全半径域はスライト・ゾーン・バンド・レコーディング(ZBR: zoned band recording)に渡りチャネル・データ・レートを超えて保持することにより、多大な容量の増加(例えば15%程度)を獲得

6

*データ検出のための方法及び装置により達成される。複数のデジタル・サンプルがADCから受信される。受信されたデジタル・サンプルは、選択された第1のフィルタ及び選択された第2のフィルタに供給される。第1のフィルタによりフィルタリングされたデジタル・サンプルは、第1のデータ検出器に供給され、第2のフィルタによりフィルタリングされたデジタル・サンプルは、第2のデータ検出器に供給される。所定のパラメータが識別され、識別された所定のパラメータに応じて、第1及び第2のデータ検出器の少なくとも1つが選択される。

【0014】

【実施例】図1及び図2を参照すると、それぞれパースナル・レスポンス・クラス4 (PR4) 及び拡張パースナル・レスポンス・クラス4 (EPR4) にもとづき、プラスとマイナスの2進入力値を仮定したときのパースナル・レスポンス最尤(P RML) チャネルのバルス応答を表すグラフが示される。PR4の系多項式は $(1-D^1)$ である。PR4応答の固有展開は、系多項式 $(1-D^1)$ の $(1+D) = (1+D-D^1-D^1)$ を有する拡張パースナル・レスポンス・クラス4 (EPR4) 応答である。図1及び図2は、1レンジ書き込み電流パルスによる、それぞれPR4及びEPR4の等価リードバック波形を表す。等価EPR4サンプルでは、PR4の場合の3つのレベル(+2, 0, -2)に対して、5つのレベル(+4, +2, 0, -2, -4)において発生する。最尤検出がこれらのパースナル・レスポンス系のいずれにおいても適用される。

【0015】本発明によれば、EPR4またはPR4の正しい選択が磁気設計ポイントに依存する。検出方法だけが、改善されたエラー率性能に対応して変更される。表1に示されるように、EPR4またはPR4が磁気設計ポイントの範囲では最適な分析解決である。表において、Tはチャネル符号化ビット周期、Rはランゲンス制限コード・レート、及びp_{sig}はチャネルのステップ応答の50%レベル幅である。

【表1】

p _{sig} ≤ 0.8 T/R
0.8 T/R < p _{sig} ≤ 1.6 T/R
1.6 T/R < p _{sig}

することが可能となり、ファイルの全体的なデータ・レート性能も改善される。このアプローチは有効である。なぜなら、検出器の型がチャネルの磁気設計ポイントに適合され、それにより線密度の増加分よりも少なく、エラー率が悪化するからである。

【0017】予備試験データによれば、EPRMLデータ検出はPRMLデータ検出に比較して、ADCの飽和、MRの非対称性及び補正無しの非リニア・ビット・

7

シフトに対して、より敏感である。EPRML/PRMLの組合わせによれば、既知のZBR系が提供する性能及び容量を多大に上回ることができる。線密度が増加する分、チャネル・エラー率が常に悪化すると仮定すると、ZBRは容量の増加を提供する。ZBRからの容量利得はディスクのIDに向けて、データ・レート性能が低下するという不利を常に有する。

【0018】図3及び図4を参照すると、本発明による直接アクセス記憶装置のパーシャル・レスポンス記録チャネル10における、パーシャル・レスポンス最尤(PRML)及び拡張パーシャル・レスポンス最尤(EPRML)データ検出の組合わせのブロック図が示される。2進記号ストリング形式などにより書込みカスタム・データが、符号器12に供給される。符号器12は予め定義されたランレングス制限またはコードワードを有する変調符号化出力を生成し、これは(1-D¹)演算により記述されるクラスIVパーシャル・レスポンス(PR)・チャネルへの入力として作用する。図示のように、本発明は高密度デジタル磁気記録装置における改善されたデータ検出のために、PRMLチャネルにおけるEPR4ビット検出(EPRML)の新規アーキテクチャ及び具体化を提供する。

【0019】図4を参照すると、本発明の新アーキテクチャは、PRML及びEPRMLの組合わせ系が、PR4ビット検出器14またはEPR4ビット検出器16のいずれかと共に、図3に示される全ての機能ブロックを共用することを可能にする。このアーキテクチャは、単純な(1+D)デジタル加算器またはフィルタ回路18、EPR4ビット検出器16、及びPR4ビット検出器14またはEPR4ビット検出器16の出力を選択する1ビット・マルチプレクサ20を含むだけで、PRMLチャネルへのEPRML機能の追加を可能にする。

【0020】シリアルライズ24及びブレイクダウン26が符号器12に続いて設けられる。ブレイクダウン26は1/(1+ADD: D)演算により示され、ここで、Dはユニット遅延演算子であり、ADDはモジュロ2加算を意味する。ブレイクダウン26に結合されるPRML前比較28は、書込みトリガ回路30に変調2進パルス信号を供給し、書込みトリガ回路30は、ディスク表面への書込みのための変調書込み電流を供給する。書込みトリガ回路30は1/(1+ADD: D)演算により示されるブレイクダウン26は書込みトリガ回路30と共同で、EPRMLにおける非標準ブレイクダウン1/(1+ADD: D¹)を形成し、これは標準EPRMLブレイクダウンに比較して、エラー事象ラングス及びタイプI記号エラーの数を低減することがわかつた。

【0021】アナログ読出し信号が、ヘッド及びディスク・ブロック32において獲得される。読出し信号はアーム電子回路ブロック34を介し、可変利得増幅器(VGA)36に供給される。増幅された読出し信号はロー

8

パス・フィルタ38に供給され、これは好適にはアナログデジタル変換器(ADC)40の飽和を回避するために高域周波数を増幅する。ローパス・フィルタを通して読出し信号は、ADC40によりデジタル形式に変換される。ADC40は、例えば64段階の6ビット・サンプリング値を提供する。生のサンプリング及びノイズが、ラインBで示されるADC40の出力に提供される。

【0022】ADC40のサンプリングは、タイミング回復及び利得制御42、並びに10タップ有限インパルス応答(FIR)デジタル・フィルタなどのデジタル・フィルタ44に供給される。タイミング回復及び利得制御42は、VGA36に利得制御信号を供給し、タイミング制御信号をADC40に供給する。EPRML/PRML組合わせ系10は、ラインAで示されるデジタル・フィルタ44の出力において提供されるPR4等価サンプリング及びノイズに対して、共通の3レベル利得及びタイミング・ループを使用する。PR4等価サンプリングにもつ利得及びタイミング・ループは単純であり、EPR4サンプリングに対する5レベル・ループよりも良好であると考えられる。

【0023】PR4等価サンプリングは、デジタル(1+D)加算器またはフィルタ回路18により変換され、EPR4 5レベル・サンプリングが得られ、これがEPR4ビット検出器16に供給される。デジタル・フィルタ44によりフィルタリングされた信号は、PR4ビット検出器14に供給され、また加算器回路18を介して、EPR4ビット検出器16にも供給される。PR4ビット検出器及びEPR4ビット検出器14及び16は、復号器46に結合されて、データ・リードバックにおける最尤(ML)検出処理が完了する。

【0024】EPR4ビット検出器16に結合されるボストコード50は、1+ADD: D¹演算を提供する。並列化機構52は、マルチプレクサ20からの選択検出器出力を復号器46に結合する。EPRMLデータ検出またはPRMLデータ検出の使用はソフトウェアにより選択可能であり、1ヘッドまたは1バンド当たりの最適化にもつぎ選択される。またデータ回復プロシーザ(DRP)の間、より良好な回復のために検出器14または16のいずれかが使用されてもよい。

【0025】EPRML/PRML組合わせは、共通の(8、6、∞)、8/9レート符号器12及び(8、6、∞)、8/9レート復号器16を使用する。このコードはPRML及びEPRML系の両方に互換である。(8、6、∞)、8/9レート・コードを有するEPRML系は、全ての最小距離エラー事象において、最大2つの隣接コードワードのエラーを生成する。この特性はこのコードを使用するPRML系に等価であり、従って、EPRML/PRML組合わせは、通常、追加のECC要求を必要としない。

【0026】PR4チャネルは2進データがディスクに

9

書込まれる以前に、3レベルの符号化を適用する。それらはすなわち、1) エラー訂正符号化 (ECC)、2) ランレングス制限 (RLL) 符号化、及び 3) 1/ (1 ADD: D) 前符号化である。後者は、図 3 に示されるプレコード 26 及び書込みトリガ 30 における 2 つの 1/ (1 ADD: D) ステージにおいて具体化される。ここで、前符号化は PR 4 信号形式に適合し、RLL コードの設計の単純化を図る。また前符号化はリードバック信号の極性に関するデータの曖昧さを回避する。ECC の設計基準は、後符号化または逆の前符号化データ・ストリームにおける期待エラー・バーストの長さに相当する。

【0027】2つのタイプ (タイプ I 及びタイプ II) のいわゆる最小 (ユークリッド) 距離エラー事象 (MDEE) が、EPR 4 ビット検出器のエラー・バースト振舞いを管理する。タイプ I は、PR 4 ビット検出器のエラー・バースト振舞いを決定する。しかしながら、PR 4 で使用される (8、6、 ∞) 制限 RLL コードと共に、最長のタイプ II エラー・バーストは、最長のタイプ I エラー・バーストよりも短く、稀である。更に EPRML における非標準の前符号化は、タイプ I エラー・バーストにおける記号エラーの数を、4 から 2 に減らす利点を有する。

【0028】PR チャネル 10 において使用される所与の符号化機構では、特に PR 4 前符号化を利用することにより、図 4 の後符号化データ・ストリーム (8、6、 ∞ 入力) 復号器 46 における EPR 4 ビット検出におけるタイプ I MDEE により生じる最長エラー・バーストが、15 記号長となり、最初と最後の記号がエラーとなる。これは検出器 14 による PR 4 ビット検出の場合と同じ長さである。更にタイプ II MDEE により生じるエラー・バーストは高々 2 つの記号長であり、最初の 2 つ及び最後の 2 つの記号がエラーとなる。(8、6、 ∞) コードでは、これは MDEE バーストの場合に、PR 4 ビット検出または EPR 4 ビット検出のどちらが使用されるかに関係無しに、高々 2 つの隣接 9 ビット・コードワードがエラーとなることを意味する。

【0029】EPR 4 ビット検出の具体化は、8 ステートのサブバス・バス・メモリ (SPM) の具体化を必要とし、その最小有限深度はタイプ I MDEE の最大期待長により決定される。要求されるステージ数は最小 12 であるが、例えば 15、16 または 17 のステージが使用されてもよい。追加のステージはノイズ性の状態におけるエラー率の改善を提供する。予測される記号シーケンスは図 3 及び図 4 のカスタム・データであるが、総称タイプ・アルゴリズムは前符号化データ・シーケンスを予測する。原則的には、後符号化はビット検出器に埋込まれるか、或いは明示的な後符号化により達成される。通常、埋込み式の後符号化は、PRML チャネル内の PR 4 ビット検出器において実施される。明示的な後

10

符号化は、EPRML における EPR 4 ビット検出器 16 の好適な分析解決である。なぜなら、これは SPM 及び後符号化の機能の具体化において、最大の全体的節約を可能にするからである。

【0030】このアーキテクチャは、電力節約のために PR 4 ビット検出器 14 または EPR 4 ビット検出器 16 のパワーオフ状態或いは遊休状態を許容する (他は実行状態)。或いはビット検出器 14 及び 16 が同時に実行され、排他的論理和 (XOR) 56 により互いに比較されてもよい。この方法は、例えばエラー訂正コード (ECC)、予測故障分析 (PFA) 機構及び汎用エラー測定 (GEM) 機能と共に、両方のオンザフライ (on-the-fly) 式データ回復プロシージャに有利に含まれる。

【0031】図 3 に示される EPR 4 の統合方法の重要な特徴は、タイミング回復、利得制御及び PR 4 等価の 3 つの機能が、データ検出の機能から完全に切り離される点である。10 タップ・デジタル・フィルタ 44 の出力に対しては、データ/信号パスの変更は無い。

【0032】1+D 加算器または 1+D フィルタ 18 の出力は、EPR 4 に似たサンプルを供給し、これが更に 8 状態 EPR 4 ビット検出器 16 により処理される。明示的な後符号化がポストコード 50 によって、EPR 4 ビット検出器から獲得されるビット・ストリームに適用される。選択され、後符号化データ・ストリームが 2 対 1 マルチプレクサ (MUX) 20 を介して、並列化機構 52 に送信される。それ以外では、MUX 20 は PR 4 ビット検出器 14 の出力を並列化機構 52 にパスする。EPR 4 検出器 16 における決定遅延は、更にパイプラインにより幾分長くなるので、適切な遅延ブロック 54 を PR 4 ビット検出器の出力に導入することにより、2 つの検出期間の決定遅延を効果的に同期することが可能である。この選択的な遅延 54 は、両方の検出器が継続的にパワーアップ状態で並列に動作するとき、完全なオンザフライ式不等検出を可能にする。図 4 に示されるように、PR 4 ビット検出器 14 及び EPR 4 ビット検出器 16 から獲得された後符号化ビット・ストリームは、XOR 機能 56 に供給され、その出力は、2 つの検出器が判定を異にする場合に、そのことを ECC、PFA 及び GEM 回路に示すために使用される。

【0033】2 つの検出器の同時オーバーレーションが望まれない場合、未使用の検出器をパワーダウンすることが可能である。この場合、PR 4 検出バス内の任意選択の遅延 54 及び XOR 機能 56 が必要とされない。

【0034】図 5 は、高密度デジタル磁気記録装置における改善されたデータ検出のための方法の柔軟な統合を可能にするチャネル・アーキテクチャを示す。図 5 において、図 3 のライン A で示されるように、デジタル・フィルタ 44 の出力は PR 4 サンプルであり、これは例えばディスク及び電子回路からのノイズが印加されて、

11

セレクト60に供給される。或いは図3のラインBにおいて示されるADC40の生のサンプル及びノイズ出力がセレクト60に供給される。ここで、図3において、アナログ・ローパス・フィルタ38及び可変利得増幅器VGA36の位置は、必要に応じ交換可能であることを述べておく。

【0035】図3乃至図5に示されるアーキテクチャの重要な特徴は、タイミング回復、利得制御及びPR4等価の3つの機能が、データ検出の機能から完全に切り離される点である。図5において選択されるデータ検出方法に依存して、2つの任意選択AまたはBのいずれかが検出器の前処理フィルタの実現において、より有利である。

【0036】PR4ビット検出器14は、デジタル・フィルタ44により提供されるPR4サンプルに対して直接作用し、デジタル・フィルタ出力には追加の信号形成は要求されない。EPR4（拡張PR4）ビット検出器16は、デジタル・フィルタ18の出力において得られる（ノイズ性の）EPR4サンプルに対して、8状態検出器として動作する。デジタル・フィルタ18は転送多項式 $1+D$ を有し、ノイズ性のPR4サンプルがその入力に供給される。（ $p_{vis} > 1$ 、 $6T/R$ ）のチャネルでは、PRMLと比較した場合に、このEPR4データ検出により、多大に良好な性能が獲得される。

【0037】任意の適切なPR（パシヤル・レスボンス）系では、PR型フィルタ62が対応するPRビット検出器64と一緒に使用される。PRMLデータ検出器高及びEPRMLデータ検出機構は、例えばEPRMLなどの高順位PR系に一般化される。EEPRMLは多項式 $(1-D)^2$ 、 $(1+D)$ 、 $(1+D)$ により特徴化され、データ検出がフィルタ62及びPRビット検出器64により提供される。この方法は非常に高い録記録密度の場合に有利である。PR型フィルタ62への入力は、図5の任意選択BにおいてA/D変換器から獲得されるノイズ性の生のサンプルか、或いは図5の任意選択Aにおいてデジタル・フィルタ44の出力において得られるノイズ性のPR4等価サンプルのいずれかである。

【0038】上述のPRデータ検出方法の代わりに、最適検出方法から導出される検出器を使用することが可能である。この方法は、ホワイト化またはホワイト化マルチド・フィルタ(WMF)66を含み、後段にはそれに対応するビット検出器68が設けられる。この方法では、図5に示されるホワイトノイズ化フィルタ66またはそれと近似のものが、それぞれノイズの増大を生じないか低減する代わりに、記号間干渉(ISI: intersymbol interference)を導入することになる。ホワイトノイズ化フィルタ66は、有限長ISIを導入するように、単に真のWMFを近似する。ホワイトノイズ化フィルタ66の出力において測定される原因となる全体的な応答が、 $N+1$ ビット間隔に渡るものと仮定すると、フ

12

ル・ステートのビット検出器68は2ndのステートを必要とする。ホワイトノイズ化フィルタ66への入力は、任意選択Bにより選択される生のノイズ性のサンプルか、或いは任意選択Aにより選択されるノイズ性のPR4等価サンプルのいずれかである。

【0039】ノイズ形成フィルタ66は、長さ制限の無いISIを導入するように真のWMF66具体化するか、或いは単にWMFを近似し、有限ではあるが非常に長いISIを導入する。ノイズ形成フィルタ66の出力において測定される原因となる全体的な応答は、それぞれ無制限のまたは過度な長さを有し、それにより最適な状態低減化ビット検出器70が使用されることになる。ステート数を低減したビット検出器を使用する多数の機構が知られている。

【0040】前処理フィルタ72が適応ビット検出器74と共に使用される。最尤予測検出器の適応バージョンが、適応ビット検出器74において使用される。前処理フィルタ72の入力は、図5の任意選択Bにより選択されるノイズ性の生のサンプルか、或いは任意選択Aにより選択されるノイズ性のPR4等価サンプルのいずれかである。このデータ検出方法における基本理念は、ビット検出器のメトリック更新方程式を決定するパラメータのセットを、(仮の)検出器判断により、受信信号サンプルの関数として連続的に適応することである。例えば、汎用適応最尤シークエンス検出器(CMLDS)74は、非リアルタイム、タイミング及び利得オフセット、及び等価誤りの任意の組合せの影響を受けた信号を修正する潜在能力を有する。

【0041】2つ以上の検出器14、16、64、68、70及び74がデータ検出チップ上において具体化され、特殊な検出器がチャネル状態に依存して選択され、オンザフライ式データ回復プロシージャの不平等検出機構及び拡張予測不良解析(PFA)機構が具体化される。選択検出器14、16、64、68、70及び74の出力は、図4のマルチプレクサ20及びXOR56に供給される。

【0042】図6は、本発明による順次データ検出オペレーションを表す。ブロック400で示されるように、複数のデジタル・サンプルがADC40から受信される。受信されたデジタル・サンプルは、ブロック402で示されるように、選択された第1のフィルタ、例えば図3のデジタル・フィルタ44に供給されるか、或いは図5のセレクト60により選択される任意選択Bにより、PR型フィルタ62、ホワイトノイズ化フィルタ66及び前処理フィルタ72に供給される。セレクト60により任意選択Aが選択されると、ブロック404で示されるように、図3のデジタル・フィルタ44の出力からのフィルタリングされたPR4デジタル・サンプルが選択された第2のフィルタ、例えば図5の1+Dフィルタ18、PR型フィルタ62、ホワイトノイズ化フィル

13

タ 6 6、または前処理フィルタ 7 2 に供給される。第 1 のフィルタリングされたサンプルは、ブロック 4 0 6 で示されるように、第 1 のデータ検出器、例えば EPR4 ビタビ検出器 1 4 または EPR4 ビタビ検出器 1 6 に供給され、第 2 のフィルタリングされたデジタル・サンプルは、ブロック 4 0 8 で示されるように、第 2 のデータ検出器、例えば EPR4 ビタビ検出器 1 6、フル・ステート・ビタビ検出器 6 8、状態低減化ビタビ検出器 7 0、または適応ビタビ検出器 7 4 に供給される。表 1 にリストされたような所定のパラメータが判断ブロック 4 1 0 で識別される。ブロック 4 1 2 で示されるように、識別される所定のパラメータに応答して、例えば MUX 2 0 への検出器選択入力により、PR4 ビタビ検出器 1 4 または EPR4 ビタビ検出器 1 6 が選択され、第 1 及び第 2 のデータ検出器の 1 つが選択される。或いはブロック 4 1 4 で示されるように、識別される所定のパラメータに応答して、例えば図 4 の XOR 5 6 により、或いは図 5 の 2 つ以上の検出器 1 4、1 6、6 4、6 8、7 0 及び 7 4 を選択することにより、第 1 及び第 2 のデータ検出器の両方が選択される。

【0043】図 7 及び図 8 は、多数決投票ユニット及びビタビコードを有する EPR4 サバイバ・バス・メモリ (SPM) の具体化の原理形式を示す。レジスタ交換実施形式の SPM は、高速 EPRML アプリケーションの好適な方法である。セレクト信号 S0、S1、S2、S3、S4、S5、S6 または S7 が、L で示される 8 個のラッチまたはラッチ・ブロックの対応する 1 つに供給され、更に各メモリ・バス内の M で示される 8 個の各マルチプレクサのセレクト入力を駆動する。セレクト信号 S0、S1、S2、S3、S4、S5、S6 または S7 は、図 11 に示され後述される加算-比較-選択 (ACS) ユニットの生成される。トレリス・ステート情報を利用することにより、最小要求バス・メモリ長を 1 5 から 1 2 に減らすために、最後のステート・ビットが使用される。特に、これにより PRML と EPRML の *

【0046】(1) 式の平方を展開した後に、 $(y_{k,i}^{EPR4} + C)$ の項が仮のデータ・シーケンス $\{a'_{k,i}\}$ に依存しないので、最小化からこの項を削除すると、MLSD の最小化は次式のように書き直される。

【数 8】

$$\delta_k(\{a'_{k,i}\}) = A(-2t'_k(\{a'_{k,i}\})) \quad (4)$$

【0048】ここで、A は基準化因子である。式 (3) 及び式 (4) により定義される新規の変更メトリック最小化は、図 7 乃至図 12 に関連して述べられる EPR4 ビタビ検出器の設計の基本である。

【0049】表 2 は、式 (4) において式 (2) を使用することにより得られる変更分岐メトリックを示す。こ

14

*両方が同一のバス・メモリ長を有することが可能になる。SPM の各ステージは、図 7 のステージ 1 及び図 8 のステージ 1 2 に示されるように、ラッチ列とマルチプレクサの列を含む。図 4 のポストコード 5 0 により提供される明示的な後符号化において、サバイバ・バス・メモリの深さは、体系的エラーを回避するために、好適な実施例で使用される一般的な (8、6、 ∞) コードに関連して、少なくとも 1 2 記号である。最終決定はステージ 1 2 の 8 個の各ステージに対応するバスの最後の有効記号の MUX 出力に結合される多数決投票ユニットにより獲得される。最も可能性の高いバスから獲得される最適な最終決定に比較して、多数決決定はせいぜい次善である。なぜなら、理想的には、全てのバスが最後のステージにおいて併合されるからである。一般に、最終決定は異なる手段、例えば最終決定の任意の 1 つを拾うことにより獲得される (ウェッジ決定 (wedge decisions) と呼ばれる)。生成された多数決決定は、多数決投票ユニットの出力に接続されるポストコードに供給される。1 対のラッチ及び排他的論理和 8 0 を含むポストコードが、後符号化決定を提供する。

【0044】EPR4 ビタビ検出器 1 6 の実現のために、新規の変更メトリック関数が提供される。EPR4 の場合のような DC におけるスペクトル・ヌル或いは 0 周波数のチャネルでは、MLSD は変更メトリック関数を最小化することに等価である。EPR4 では、この変更メトリックは次の形式を取る。

【数 6】

$$J^* = \min_{\{a'_k\}} \sum_i \{y_i^{EPR4} + c - x'_i(\{a'_k\})\}^2 \quad (1)$$

【0045】ここで、 y_i^{EPR4} はノイズが加わった EPR4 サンプルであり、C は実定数であり、 $x'_i(\{a'_k\})$ は仮のノイズの無いチャネル出力サンプルであり、次式で与えられる。

【数 7】

$$J^* = \min_{\{a'_k\}} \sum_i \delta_k(\{a'_k\}) \quad (2)$$

【0047】ここで、

【数 9】

$$y_i^{EPR4} + C + [x'_i(\{a'_k\})]^2$$

ここで、 $y_i^{EPR4} = x_i^{EPR4} + n_i$ はノイズ性の EPR4 信号サンプルであり、 n_i はノイズ・サンプルである。 s'_k 及び s'_{k+1} はそれぞれ現在及び次のステートである。A = 1/4 の時の、表 2 に対応するトレリスが図 9 に示される。

【表 2】

表2 EPR4における変更分岐メトリック

a'_{i-2}	a'_{i-1}	a'_i	x_i	δ_i/K	a'_i	a'_{i+1}	
-1	-1	-1	-1	0	0	0	
-1	-1	-1	+1	+2	$-(y_i^{PRM} + c) + 1$	0	4
+1	-1	-1	-1	-2	$+(y_i^{PRM} + c) + 1$	1	0
+1	-1	-1	+1	0	0	1	4
-1	+1	-1	-1	-2	$+(y_i^{PRM} + c) + 1$	2	1
-1	+1	-1	+1	0	0	2	5
+1	+1	-1	-1	-4	$+2(y_i^{PRM} + c) + 4$	3	1
+1	+1	-1	+1	-2	$+(y_i^{PRM} + c) + 1$	3	5
-1	-1	+1	-1	+2	$-(y_i^{PRM} + c) + 1$	4	2
-1	-1	+1	+1	+4	$-2(y_i^{PRM} + c) + 4$	4	6
+1	-1	+1	-1	0	0	5	2
+1	-1	+1	+1	+2	$-(y_i^{PRM} + c) + 1$	5	6
-1	+1	+1	-1	0	0	6	3
-1	+1	+1	+1	+2	$-(y_i^{PRM} + c) + 1$	6	7
+1	+1	+1	-1	-2	$+(y_i^{PRM} + c) + 1$	7	3
+1	+1	+1	+1	0	0	7	7

【0050】図9のトレリスは、変更分岐メトリックを下記の(5)式の関係に従い、ノードを概略横断してシフトすることにより変形される。

【数10】

$$\min [(u+c), (v+c)] = \min [u, v] + c \quad (5)$$

【0051】上記(5)式は最大化に対しても類似である。例えば、所与の技術におけるオペレーションの最小数または最も有望なスピードに対する最適化の基準に依存して、特定の目的に合った様々なトレリス変形が獲得される。

【0052】図10は、図9のトレリスと比較される変形トレリスを示し、分岐メトリック内に現れる数量は、受信されるPR4サンプルに関して、それぞれ次のように計算される。

$$【数11】 Z_i = y_{i-1}^{PRM} + 2y_i^{PRM} + y_{i+1}^{PRM} \quad (6)$$

及び

$$Q_i = -2i + 4 \quad (7)$$

【0053】なおここで、 $C = -1$ を使用した。こ

で、変更メトリック数式(1)における0でない定数Cの導入は、従来 $C = 0$ の場合に必要な定数+2を Z_i へ加算する必要性を排除する。また方程式(7)において定数2の代わりに4を加算することは実施が容易である。ここで具体化を容易にするために、任意の定数を Z_i に加算することが可能である。実際の大规模集積回路(VLSI)設計では、オフセット2進演算の具体化を容易にするために、この特性を利用する。EPRM L検出器16を反映するために、受信されたEPR4サンプル y_i^{EPR4} は、受信されたPR4サンプルに関して表現されてきた。すなわち、式(6)を微分すると、 $y_i^{EPR4} = y_i^{PRM} + y_{i-1}^{PRM}$ が得られる。

【0054】図10は、EPRM L検出器を具体化し、更に残りのアドレスの幾つかの具体化を容易にするために必要な加算の数を減らすための、新たな変更メトリック技術を表す。

【0055】図11は、サイズ、電力の低減及びスピードの向上を可能にするEPRM Lビタビ検出器16の新

17

たな具体化を表す。メトリック制限は既知の母数メトリック加算技術により達成される。図8は、図10に示されるトレリスから直接導出される加算-比較-選択(ACS)ユニットを示し、図7及び図8に示される対応するサブパイパス・メモリを有する。8個の8ビット・レジスタJ0乃至J7は、図10に示されるトレリス内のドットに対応するメトリックを表す。各レジスタはA>B比較器及び2対1選択用マルチプレクサに結合される。+で示される加算器ブロックは、図10で示されるZi及びQiの項の加算を提供する。図11の破線部分は、定数加算、比較(加算に等価)、選択(2対1マルチプレクサ)、更に別の加算及びラッチ・オペレーションを含む典型的な最悪遅延パスを示す。従って、図10の変形トレリスは、計算量及び実行オペレーション数の点では最小であるが、1クロックにつき高々1回の全加算(または比較)及び1回のマルチプレクス・オペレーションの実行が可能なVLSI技術においては、現実的ではない。

【0056】図12は、単一のクロック・サイクル内に実行されなければならない計測を低減する方法を提供する、新たな状態分割技術を表す。スピード問題は、更に次に示すような状態分割技術を導入して、図10のトレリスを変形することにより解決される。第1に、全ての0でない分岐メトリックのスタートが分割される。第2に、0でない分岐メトリックにより示されるこれらのスタート遷移または分岐が、所与の分割スタートからの全ての残りの遷移が同一の分岐メトリックを有するように再編成される。第3に、上記関係(5)が2度適用される。このプロセスは図12に示される拡張トレリス構造を提供し、白抜きの円で示される追加のノードは、関連するメトリックの疑似スタートと見なされる。この方法の複雑度における交換スピードが、拡張EPR4トレリスとなり、高速化の実現にはより好適である。VLSI回路の具体化は、図12のこの拡張EPR4トレリスを直接的に基礎とする。

【0057】より高速のVLSI技術が使用可能であれば、図12の拡張トレリスを導く幾つかの変形ステップが、複雑度を低減するために元の状態に戻される。理想的には、図10のトレリスが直接具体化されるべきである。

【0058】更に、式(7)から、 $Q_i + Z_i = 4$ が得られる。シミュレーションの研究によれば、式(7)内の定数4がより小さな値、例えば3.75により置換されれば、エラー率性能の点で有利であることがわかっていく。従って、式(7)は次式に示すように、任意選択的に変更可能である。

$$\text{【数12】 } 0 \leq Z_i = 4 - \alpha, 0 \leq \alpha < 1 \quad (8)$$

【0059】ここで、 α の現実的な値は0.25である。

【0060】図13は、PR4検出器を提供するように

18

変形された図10のEPR4トレリス遷移図を表す。図13の変形トレリスでは、分岐メトリックが受信PR4サンプルに関して次のように計算される。

$$\text{【数13】 } Z'_i = y_i^{PR4} \quad (9)$$

及び

$$Q'_i = -Z'_i + 2 \quad (10)$$

【0061】図11のEPRML検出器は、図13に示されるトレリスに対応するPRML検出器を提供するように変更される。EPRML検出器の場合と同じSPMがPRML検出器に対しても使用され、トレリスだけが変更される。ここで、図13の変形トレリスは、単独で生成される場合には、PRML検出器の好適な具体化ではないことが理解される。

【0062】本発明は特定の実施例の詳細に関連して述べられてきたが、これらの詳細は本発明の範囲を制限するものではないことを述べておく。

【0063】まとめとして、本発明の構成に関して以下の事項を開示する。

【0064】(1) デジタル・サンプルを提供するアナログデジタル変換器(ADC)に結合され、アナログ信号を提供するヘッド及びディスク・アセンブリを含むパーシャル・レスポンス(PR)・データ・チャンネルにおける最尤データ検出方法であって、前記ADCから複数のデジタル・サンプルを受信するステップと、前記受信デジタル・サンプルを選択された第1のフィルタに供給するステップと、前記受信デジタル・サンプルを選択された第2のフィルタに供給するステップと、前記第1のフィルタを通過したデジタル・サンプルを第1のデータ検出器に供給するステップと、前記第2のフィルタを通過したデジタル・サンプルを第2のデータ検出器に供給するステップと、所定のパラメータを識別するステップと、前記識別された所定のパラメータに基いて、前記第1及び前記第2のデータ検出器の少なくとも1つを選択するステップと、を含む、最尤データ検出方法。

(2) 前記受信デジタル・サンプルを前記第1の選択フィルタに供給する前記ステップが、前記受信デジタル・サンプルをクラスIVパーシャル・レスポンス(PR4)・サンプルを提供するデジタル・フィルタに供給するステップを含み、前記受信デジタル・サンプルを前記第2の選択フィルタに供給する前記ステップが、前記PR4サンプルを拡張(EPR4)サンプルを提供する1+Dフィルタに供給するステップを含む、前記(1)記載の最尤データ検出方法。

(3) 前記第1のフィルタを通過したデジタル・サンプルを前記第1のデータ検出器に供給する前記ステップが、前記PR4サンプルをPR4ビット検出器に供給するステップを含む、前記(2)記載の最尤データ検出方法。

(4) 前記第2のフィルタを通過したデジタル・サンプルを前記第2のデータ検出器に供給する前記ステップ

19

が、前記EPR4サンプルをEPR4ビット検出器に供給するステップを含む、前記(2)記載の最尤データ検出方法。

(5) 前記受信デジタル・サンプルを前記第1の選択フィルタに供給する前記ステップが、前記受信デジタル・サンプルをパーシャル・レスポンス(PR)型フィルタに供給するステップを含む、前記(1)記載の最尤データ検出方法。

(6) 前記第1のフィルタを通過したデジタル・サンプルを前記第1のデータ検出器に供給する前記ステップが、前記PR型フィルタを通過したサンプルをPRビット検出器に供給するステップを含む、前記(5)記載の最尤データ検出方法。

(7) 前記受信デジタル・サンプルを前記第1の選択フィルタに供給する前記ステップが、前記受信デジタル・サンプルをホワイトノイズ化フィルタに供給するステップを含む、前記(1)記載の最尤データ検出方法。

(8) 前記第1のフィルタを通過したデジタル・サンプルを前記第1のデータ検出器に供給する前記ステップが、前記ホワイトノイズ化フィルタを通過したサンプルをフル・ステート・ビット検出器に供給するステップを含む、前記(7)記載の最尤データ検出方法。

(9) 前記第1のフィルタを通過したデジタル・サンプルを前記第1のデータ検出器に供給する前記ステップが、前記ホワイトノイズ化フィルタを通過したサンプルを状態低減化ビット検出器に供給するステップを含む、前記(7)記載の最尤データ検出方法。

(10) 前記受信デジタル・サンプルを前記第1の選択フィルタに供給する前記ステップが、前記受信デジタル・サンプルを前処理フィルタに供給するステップを含む、前記(1)記載の最尤データ検出方法。

(11) 前記第1のフィルタを通過したデジタル・サンプルを前記第1のデータ検出器に供給する前記ステップが、前記前処理フィルタを通過したサンプルを適応ビット検出器に供給するステップを含む、前記(10)記載の最尤データ検出方法。

(12) 前記所定のパラメータを識別する前記ステップが、前記ディスクのゾーンを識別するステップを含み、前記識別された所定のパラメータに応じて、前記第1及び前記第2のデータ検出器の少なくとも1つを選択する前記ステップが、各ヘッド及び半径の組合わせに応じて、EPRMLデータ検出器を選択するステップと、PRMLデータ検出器を選択するステップとを含む、前記(1)記載の最尤データ検出方法。

(13) 前記所定のパラメータを識別する前記ステップが、信号解析を識別するステップを含む、前記(1)記載の最尤データ検出方法。

(14) デジタル・サンプルを提供するアナログデータ変換器(ADC)に結合され、アナログ信号を提供するヘッド及びディスク・アセンブリを含むデジタル・

20

データ・チャネルにおけるデータ検出装置であって、前記ADCに結合され、前記ADCから複数のデジタル・サンプルを受信し、フィルタリングする第1のフィルタと、前記ADCに結合され、前記ADCから複数のデジタル・サンプルを受信し、フィルタリングする第2のフィルタと、前記第1のフィルタに結合され、前記第1のフィルタを通過したサンプルを受信する第1のデータ検出器と、前記第2のフィルタに結合され、前記第2のフィルタを通過したサンプルを受信する第2のデータ検出器と、所定のパラメータを識別する手段と、前記識別された所定のパラメータに応じて、前記第1及び前記第2のデータ検出器の少なくとも1つを選択する手段と、を含むデータ検出装置。

(15) 前記第1のデータ検出器が拡張クラス1Vパーシャル・レスポンス(EPR4)・ビット検出器を含む、前記(14)記載のデータ検出装置。

(16) 前記第1のデータ検出器がパーシャル・レスポンス・クラス1V(PR4)・ビット検出器を含む、前記(14)記載のデータ検出装置。

(17) 前記第2のデータ検出器が拡張クラス1Vパーシャル・レスポンス(EPR4)・ビット検出器を含む、前記(16)記載のデータ検出装置。

(18) 前記第1のデータ検出器がパーシャル・レスポンス・ビット検出器を含む、前記(14)記載のデータ検出装置。

(19) 前記第1のデータ検出器が適応ビット検出器を含む、前記(14)記載のデータ検出装置。

(20) 前記第1のデータ検出器がフル・ステート・ビット検出器を含む、前記(14)記載のデータ検出装置。

(21) 前記第1のデータ検出器が状態低減化ビット検出器を含む、前記(14)記載のデータ検出装置。

(22) 前記第1のデータ検出器が、

【数14】

$$J^* = \min_k \sum_i \delta_k(\{a'_i\})$$

$\{a'_i\}$

で表される変更メトリック関数の拡張クラス1Vパーシャル・レスポンス(EPR4)・ビット検出器の具体化を含む、ここで、

【数15】 $\delta_k(\{a'_i\}) = \Lambda(-2\epsilon'_k(\{a'_i\})) [r_i^{EPR4} + C] + [\epsilon'_k(\{a'_i\})]^2$

であり、 r_i^{EPR4} はノイズ性のEPR4サンプルであり、Cは実定数であり、 $\epsilon'_k(\{a'_i\})$ は、

【数16】 $\epsilon'_k(\{a'_i\}) = a'_i x_{k-1-i-1} a'_{i-1} a'_{i-2} a'_{i-3} a'_{i-4} \dots$

で与えられる仮のノイズの無いチャネル出力サンプルである、前記(14)記載のデータ検出装置。

(23) 分岐メトリックが受信PR4サンプルに関して、

21

【数 17】 $z_k = y_{k-1}^{PR4} + 2y_k^{PR4} + y_{k-1}^{PR4}$
で表現され、

【数 18】 $0_k = -z_k + (4 - \alpha)$

であり、 $0 \leq \alpha < 1$ 、 $C = -1$ 及び $y_k^{EPR4} = y_k^{PR4} + y_{k-1}^{PR4}$ である、前記 (22) 記載のデータ検出装置。

【0065】

【発明の効果】以上説明したように、本発明によれば、従来構成の多くの欠点を克服するデータ検出方法及び装置を提供することができる。

【図面の簡単な説明】

【図 1】 パーシャル・レスポンス・クラス 4 (PR4) にもとづくパーシャル・レスポンス最尤 (PRML) チャネルのパルス応答を表すグラフである。

【図 2】 拡張パーシャル・レスポンス・クラス 4 (EPR4) にもとづくパーシャル・レスポンス最尤 (PRML) チャネルのパルス応答を表すグラフである。

【図 3】 本発明による拡張パーシャル・レスポンス最尤 (EPRML) チャネルと PRML チャネルの組合わせを表すブロック図である。

【図 4】 本発明による拡張パーシャル・レスポンス最尤 (EPRML) チャネルと PRML チャネルの組合わせを表すブロック図である。

【図 5】 本発明の別の柔軟なチャネル・アーキテクチャのブロック図である。

【図 6】 本発明のデータ検出方法による順次データ検出ステップを表す流れ図である。

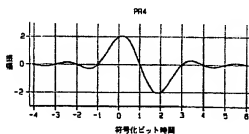
【図 7】 EPR4 ビタビ検出器構成のサブパイパス・メモリを表す図である。

【図 8】 EPR4 ビタビ検出器構成のサブパイパス・メモリを表す図である。

【図 9】 $A = 1/4$ 、 $Y_k = Y_k^{EPR4}$ 及び C が実定数である変更メトリック計算による 8 状態 EPR4 トレリス遷移図である。

【図 10】 $A = 1/4$ 及び $C = -1$ による変更メトリック計算による変形 8 状態 EPR4 トレリス遷移図である。

【図 1】



22

【図 11】 本発明による図 10 のトレリスから直接導出される EPR4 ビタビ検出器の加算、比較及び選択 (ACS) 計算回路を表す図である。

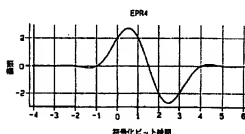
【図 12】 高速化を可能にする第 2 の別の変形及び拡張 EPR4 トレリス遷移図である。

【図 13】 PR4 検出器として変形された図 10 の EPR4 トレリス遷移図である。

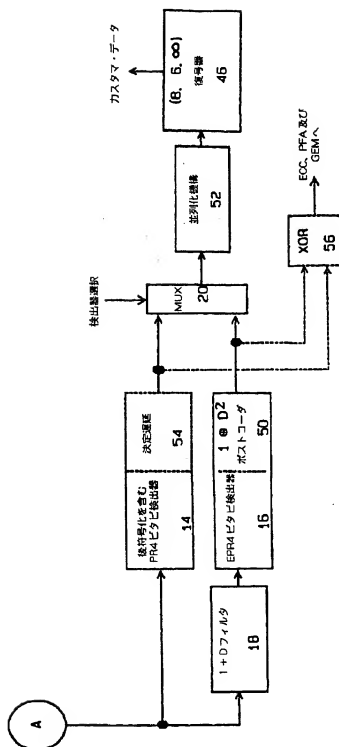
【符号の説明】

- 10 パーシャル・レスポンス記録チャネル
- 12 符号器
- 14 PR4 ビタビ検出器
- 16 EPR4 ビタビ検出器
- 18 フィルタ回路
- 20 マルチプレクサ
- 24 シリアライザ
- 26 プレコーダ
- 28 PRML 前比較
- 30 書込みトリガ回路
- 36 可変利得増幅器 (VGA)
- 38 ローパス・フィルタ
- 40 アナログ・デジタル変換器 (ADC)
- 42 タイミング回復及び利得制御
- 44 デジタル・フィルタ
- 46 復号器
- 50 ポストコーダ
- 52 並列化機構
- 54 遅延
- 56 排他的論理和 (XOR)
- 60 セレクタ
- 62 PR 型フィルタ
- 64 PR ビタビ検出器
- 66 ホワイトノイズ化フィルタ
- 68 フル・スタート・ビタビ検出器
- 70 状態低減化ビタビ検出器
- 72 前処理フィルタ
- 74 適応ビタビ検出器

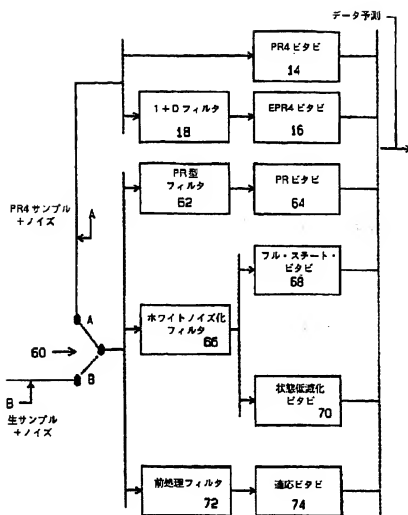
【図 2】



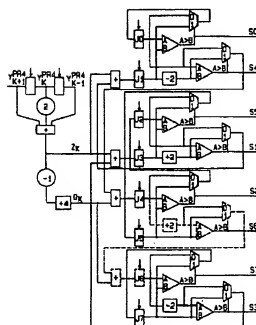
【図 4】



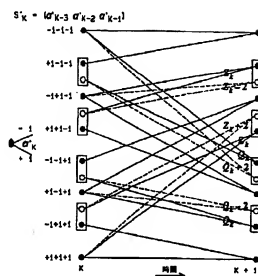
【図5】



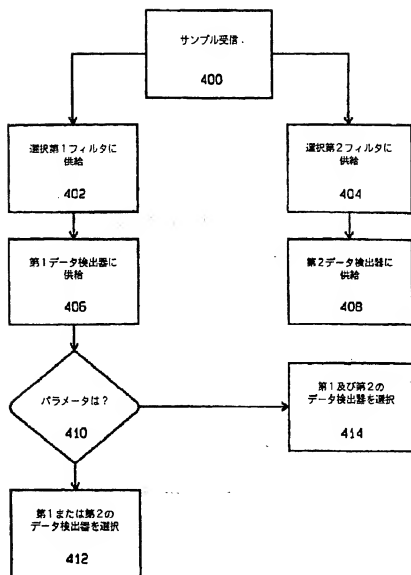
【図11】



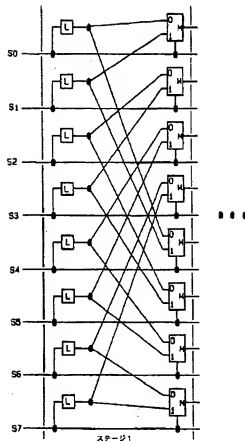
【図12】



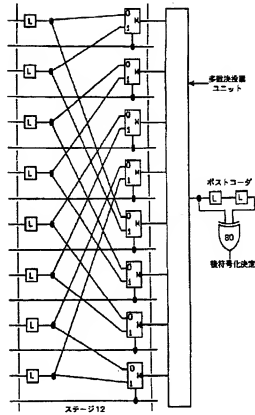
【図 6】



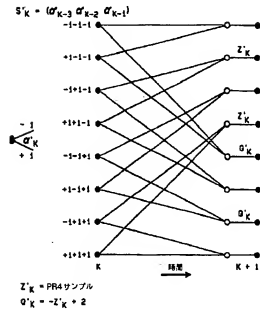
【図 7】



【図 8】



【図 13】



フロントページの続き

- (72) 発明者 フランコイス・バーナード・ドリボ
スイス、シィ・エイチ-8820 ウェイデ
ンスウィル、アントレ・ウエイドストラ
ッセ 14
- (72) 発明者 リチャード・レオ・ガルブレイス
アメリカ合衆国55901、ミネソタ州ロチ
ェスター、フィフティ・セカンド・スト
リート・ノース・ウエスト 2232
- (72) 発明者 レト・ジェイ・ハーマン
スイス、8863 パチコン、ビュエルスト
ラッセ 5
- (72) 発明者 ウォルター・ヒート
スイス、シィ・エイチ-8907、ウェッツ
ウィル、エイ/エイ、ヒンダーウエイド
ストラッセ 29
- (72) 発明者 ケビン・バンノースデル
アメリカ合衆国51118、カリフォルニア
州サン・ホセ、ナンバー4、ジョブリ
ン・ドライブ 1329

(56) 参考文献

- 特開 平4-221464 (J P, A)
特開 平3-8173 (J P, A)
特開 平1-256650 (J P, A)
特開 平7-57394 (J P, A)
特開 平7-29320 (J P, A)
特開 平6-232921 (J P, A)
特開 平6-139700 (J P, A)
特開 平5-274811 (J P, A)
特開 平5-175915 (J P, A)
特開 平4-182963 (J P, A)
特開 平2-230822 (J P, A)
特開 平2-226981 (J P, A)
特開 昭58-181182 (J P, A)
特開 昭61-108226 (J P, A)
電子情報通信学会論文誌C-II、V
OL. J75-C-II, NO. 11, 三田
誠一「磁気ディスク用信号処理技術の最
近の話題」P P. 611-623
IEICE TRANS. COMMU
N., VOL. E76-B, NO. 6 (J
UNE 1993) CARLOS VALD
EZ ET AL. " ERROR PRO
BABILITY ANALYSIS
IN REDUCED STATE V
ITERBI DECODING. " P
P. 667-676
電子情報通信学会技術研究報告、VO
L. 92, NO. 213 (SEPT. 1992)
無線通信システム (RCS) RCS92-
66、久保博嗣他「高速フェージングに適
した等化と復号をATED CMOS
MIXED-MODE SIGNAL
PROCESSOR FOR DISK
DRIVE READ CHANNE
L APPLIC ATIONS, " P
P. 1-11